

1

【特許請求の範囲】

【請求項1】 半導体基板と、前記基板に設けられた素子分離領域と、前記素子分離領域により分離されたメモリセルを形成するための素子領域と、前記素子領域上にトンネル絶縁膜を介して形成された浮遊ゲートと、前記浮遊ゲートおよび前記トンネル絶縁膜を介して前記素子領域に容量結合される制御ゲートとを含む、電氣的に情報の書き替えが可能なメモリセルを複数配列してなるメモリセルアレイを具備し、

前記素子領域は、その少なくとも一部が、前記浮遊ゲートに対し、実質的に曲率を持って対向する凸状の曲面部分と、実質的に平坦に対向する平坦部分とを有しながら、前記浮遊ゲートに向かって突出した形状を有していることを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記素子分離領域は、前記半導体基板に設けられたトレンチ内に埋め込み形成されるとともに、この上方で前記浮遊ゲートは、その端部が前記トレンチ内に埋め込まれて最下面を形成しており、前記素子領域の全表面が、前記浮遊ゲートの最下面を越えて突出した形状を有していることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 前記素子領域における凸状の曲面部分の曲率半径の最小値をR、前記トンネル絶縁膜の膜厚をtとしたときに、前記最小値Rと前記膜厚tとの間で、

【数1】

$$\frac{t}{R \ln \left(1 + \frac{t}{R} \right)} < 1.5$$

の関係を満足するように、前記曲率半径の最小値Rが設定されていることを特徴とする請求項1および請求項2いずれかに記載の不揮発性半導体記憶装置。

【請求項4】 前記素子領域における凸状の曲面部分の曲率半径の最小値をR、この最小値Rの方向と略同一水平方向について前記素子領域の前記浮遊ゲートと対向する部分の幅をWとしたときに、前記最小値Rと前記幅Wとの間に、

【数2】

$$R < \frac{W}{3}$$

の関係を満足する形状を、前記素子領域が有していることを特徴とする請求項1乃至請求項3いずれか一項に記載の不揮発性半導体記憶装置。

【請求項5】 前記メモリセルは、NAND型、NOR型、DINOR型、AND型のうち、いずれか一つに用いられていることを特徴とする請求項1乃至請求項4いずれか一項に記載の不揮発性半導体記憶装置。

【請求項6】 半導体基板と、前記基板に設けられた素子分離領域と、前記素子分離領域により分離されたメモリセルを形成するための素子領域と、前記素子領域上にトンネル絶縁膜を介して形成された浮遊ゲートと、前記

2

浮遊ゲートおよび前記トンネル絶縁膜を介して前記素子領域に容量結合される制御ゲートとを含む、電氣的に情報の書き替えが可能なメモリセルを複数配列してなるメモリセルアレイを具備し、データの書き込みおよび消去の際に印加するバイアスによって、前記トンネル絶縁膜を通過する電子の方向が双方向に変化する不揮発性半導体記憶装置であって、

前記素子領域は、その少なくとも一部が、前記浮遊ゲートに対し、実質的に曲率を持って対向する凸状の曲面部分と、実質的に平坦に対向する平坦部分とを有しながら、前記浮遊ゲートに向かって突出した形状を有し、データ書き込みの際、前記素子領域の曲面部分を介して生ずる電界の最大値をE_{edge}(R)、前記素子領域の平坦部分を介して生ずる電界をE_{flat}(R)としたとき、

【数3】

$$E_{\text{edge}}(R) < 1.5 \times E_{\text{flat}}(R)$$

の関係を満足する電界を、前記浮遊ゲート～前記基板間に生ずることを特徴とする不揮発性半導体記憶装置。

【請求項7】 前記基板側から前記浮遊ゲートに向かって、前記トンネル絶縁膜中を電荷が通過するときに、前記曲面部分を介して前記トンネル絶縁膜を通過する単位時間当たりの電荷量をQ_{edge}(R)、前記平坦部分を介して前記トンネル絶縁膜を通過する単位時間当たりの電荷量をQ_{flat}(R)としたとき、

【数4】

$$Q_{\text{edge}}(R) < 10^5 \times Q_{\text{flat}}(R)$$

の関係を満足する電荷を、前記トンネル絶縁膜に通過させることを特徴とする請求項6に記載の不揮発性半導体記憶装置。

【請求項8】 前記浮遊ゲートから前記基板側に向かって、前記トンネル絶縁膜中を電荷が通過するときに、前記曲面部分および平坦部分を有する素子領域上に形成されたトンネル絶縁膜全体の平均の電流密度J(R)、前記平坦部分のみ有する素子領域上に形成されたトンネル絶縁膜全体の電流密度J(R=0)との間で、前記浮遊ゲート～前記基板間の電位差を互いに同一に設定した条件下で、

【数5】

$$J(R) > 0.5 \times J(R=0)$$

の関係を満足するように、前記トンネル絶縁膜に電荷を通過させることを特徴とする請求項6および請求項7いずれかに記載の不揮発性半導体記憶装置。

【請求項9】 前記メモリセルは、NAND型、NOR型、DINOR型、AND型のうち、いずれか一つに用いられていることを特徴とする請求項6乃至請求項8いずれか一項に記載の不揮発性半導体記憶装置。

【請求項10】 半導体基板と、前記基板に設けられた素子分離領域と、前記素子分離領域により分離されたメ

3

モリセルを形成するための素子領域と、前記素子領域上にトンネル絶縁膜を介して形成された浮遊ゲートと、前記浮遊ゲートおよび前記トンネル絶縁膜を介して前記素子領域に容量結合される制御ゲートとを含む、電気的情報の書き替えが可能なメモリセルを複数配列してなるメモリセルアレイを具備し、

前記浮遊ゲートに対する前記素子領域の対向面が平坦部分と凸状の曲面部分とを有しており、曲率半径が $R \geq$

$(W/3)$ となる部分を前記平坦部分、曲率半径が $R <$

$(W/3)$ {ただし式中の W は、 R の方向と略同一水平方向について前記素子領域の前記浮遊ゲートと対向する部分の幅を示す} となる部分を前記曲面部分と定義したときに、曲面部分の曲率半径の最小値 R と、前記トンネル絶縁膜の膜厚 t との間で、

【数6】

$$\frac{t}{R \ln \left(1 + \frac{t}{R}\right)} < 1.5$$

の関係を満足するように、前記素子領域における曲面部分の曲率半径の最小値 R が設定されていることを特徴とする不揮発性半導体記憶装置。

【請求項11】 前記メモリセルは、NAND型、NOR型、DINOR型、AND型のうち、いずれか一つに用いられていることを特徴とする請求項10に記載の不揮発性半導体記憶装置。

【請求項12】 半導体基板と、前記基板に設けられた素子分離領域と、前記素子分離領域により分離されたメモリセルを形成するための素子領域と、前記素子領域上にトンネル絶縁膜を介して形成された浮遊ゲートと、前記浮遊ゲートおよび前記トンネル絶縁膜を介して前記素子領域に容量結合される制御ゲートとを含む、電気的情報の書き替えが可能なメモリセルを複数配列してなるメモリセルアレイを具備し、データの書き込みおよび消去の際に印加するバイアスによって、前記トンネル絶縁膜を通過する電子の方向が双方向に変化する不揮発性半導体記憶装置であって、

前記浮遊ゲートに対する前記素子領域の対向面が平坦部分と凸状の曲面部分とを有しており、曲率半径が $R \geq$

$(W/3)$ となる部分を前記平坦部分、曲率半径が $R <$

$(W/3)$ {ただし式中の W は、 R の方向と略同一水平方向について前記素子領域の前記浮遊ゲートと対向する部分の幅を示す} となる部分を前記曲面部分と定義したうえで、データの書き込みの際、前記素子領域の曲面部分を介して生ずる電界の最大値を $E_{\text{edge}}(R)$ 、前記素子領域の平坦部分を介して生ずる電界を $E_{\text{flat}}(R)$ としたとき、

【数7】

$$E_{\text{edge}}(R) < 1.5 \times E_{\text{flat}}(R)$$

の関係を満足する電界を、前記浮遊ゲート～前記基板間

4

に生ずることを特徴とする不揮発性半導体記憶装置。

【請求項13】 前記基板側から前記浮遊ゲートに向かって、前記トンネル絶縁膜中を電荷が通過するときに、前記曲面部分を介して前記トンネル絶縁膜を通過する単位時間当たりの電荷量を $Q_{\text{edge}}(R)$ 、前記平坦部分を介して前記トンネル絶縁膜を通過する単位時間当たりの電荷量を $Q_{\text{flat}}(R)$ としたとき、

【数8】

$$Q_{\text{edge}}(R) < 10^5 \times Q_{\text{flat}}(R)$$

の関係を満足する電荷を、前記トンネル絶縁膜に通過させることを特徴とする請求項12に記載の不揮発性半導体記憶装置。

【請求項14】 前記浮遊ゲートから前記基板側に向かって、前記トンネル絶縁膜中を電荷が通過するときに、前記曲面部分および平坦部分を有する素子領域上に形成されたトンネル絶縁膜全体の平均の電流密度を J

(R) 、前記平坦部分のみ有する素子領域上に形成されたトンネル絶縁膜全体の電流密度を $J(R=0)$ としたときに、

【数9】

$$J(R) > 0.5 \times J(R=0)$$

の関係を満足する電流密度を、前記トンネル絶縁膜に生ずることを特徴とする請求項12および請求項13いずれかに記載の不揮発性半導体記憶装置。

【請求項15】 前記メモリセルは、NAND型、NOR型、DINOR型、AND型のうち、いずれか一つに用いられていることを特徴とする請求項12乃至請求項14いずれか一項に記載の不揮発性半導体記憶装置。

【請求項16】 半導体基板と、前記半導体基板に設けられたトレンチ内に埋め込み形成された素子分離領域と、前記素子分離領域よりも突出したメモリセルを形成するための素子領域と、トンネル絶縁膜を介して前記素子領域および前記素子分離領域の一部を被覆するように形成された浮遊ゲートと、前記浮遊ゲートおよび前記トンネル絶縁膜を介して前記素子領域に容量結合される制御ゲートとを具備する不揮発性半導体記憶装置であって、

前記浮遊ゲートにより被覆された素子領域と素子分離領域との境界部分で、前記素子領域の上端部が実質的に曲率を持つように丸められていることを特徴とする不揮発性半導体記憶装置。

【請求項17】 前記素子領域の上端部は、曲率半径の最小値 R が $3 \text{ nm} \sim 100 \text{ nm}$ 以下の範囲内となるような形状に丸められていることを特徴とする請求項16に記載の不揮発性半導体記憶装置。

【請求項18】 前記メモリセルは、NAND型、NOR型、DINOR型、AND型のうち、いずれか一つに用いられていることを特徴とする請求項16および請求項17いずれか一項に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電氣的にデータの書き込み／消去が行なわれる不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】図38は、従来の不揮発性半導体記憶装置のメモリセルの断面図である。

【0003】図38に示すように、P型のシリコン基板101の所定領域にLOCOS素子分離103が形成され、LOCOS素子分離103間に存在する基板101の部分が、素子領域104を構成している。素子領域104上には、トンネル酸化膜105が形成されている。トンネル酸化膜105上には浮遊ゲート106が形成されている。浮遊ゲート106上には二酸化シリコン／窒化シリコン／二酸化シリコンの三層からなるONO絶縁膜107が形成されている。ONO絶縁膜107上には制御ゲート108が形成されている。

【0004】次に、図38に示すメモリセルへのデータ書き込み／データ消去の動作を、NAND型EEPROMを例にとり、説明する。

【0005】NAND型EEPROMでは、データ書き込み／データ消去の双方にFowler-Nordheim (FN) 電流を使用する。

【0006】まず、データ書き込みに際しては、書き込み選択された制御ゲートにVPP電位、非選択の制御ゲート、および選択ゲートにVm電位をそれぞれ与え、ソース領域、基板101を接地する。ドレイン領域の電位は、書き込みデータのレベル“1”、“0”に応じて正の電位、または接地のいずれかに変化させる。

【0007】ドレイン領域が接地されたときには、浮遊ゲート6側が正バイアスとなる電位がかかって、トンネル酸化膜105にFN電流が流れ、電子が基板101側から浮遊ゲート105に注入される。

【0008】また、データ消去に際しては、消去選択されている全ての制御ゲート、選択ゲート、ドレイン領域、ソース領域をそれぞれ接地し、基板101にVEE電位を与える。

【0009】このような電位状態により、基板101側が正バイアスとなる電位がかかって、トンネル酸化膜105にFN電流が流れ、電子が浮遊ゲート106から基板1に放出される。

【0010】

【発明が解決しようとする課題】従来のメモリセルでは、制御ゲート108～基板101間に印加される電圧によって生ずる浮遊ゲート106～基板101間の電界によって、トンネル酸化膜105を通過するFN電流の量が決まっていた。このため、例えば書き込み速度を向上させようとするれば、制御ゲート108～基板101間に印加する書き込み電圧VPPを上げ、浮遊ゲート10

6～基板101間の電界をより強くする必要があった。しかしながら、書き込み電圧VPPを上げると、周辺トランジスタの、特にゲート酸化膜を厚くする必要があり、EEPROMの全体的なシュリンクが困難になる。また、書き込み電圧VPPが高すぎると、EEPROMの内部で発生させることが困難となる。

【0011】この発明は、上記の事情に鑑み為されたもので、その目的は、制御ゲート～基板間に印加される書き込み電圧を、従来のメモリセルと同等としたとき、従来のメモリセル以上に書き込み速度が向上する、および書き込み速度を、従来のメモリセルと同等としたとき、書き込み電圧を低下できる不揮発性半導体記憶装置を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するために、この発明の請求項1に係る発明では、半導体基板と、前記基板に設けられた素子分離領域と、前記素子分離領域により分離されたメモリセルを形成するための素子領域と、前記素子領域上にトンネル絶縁膜を介して形成された浮遊ゲートと、前記浮遊ゲートおよび前記トンネル絶縁膜を介して前記素子領域に容量結合される制御ゲートとを含む、電氣的に情報の書き替えが可能なメモリセルを複数配列してなるメモリセルアレイを具備する。そして、前記素子領域は、その少なくとも一部が、前記浮遊ゲートに対し、実質的に曲率を持って対向する凸状の曲面部分と、実質的に平坦に対向する平坦部分とを有しながら、前記浮遊ゲートに向かって突出した形状を有していることを特徴とする。

【0013】このような請求項1に係る発明であると、トンネル絶縁膜が、データ書き込み時、電界集中の生じる凸状の曲面部分を有することで、この部分において、トンネル電流の密度が上がる。この構成により、制御ゲート～基板間に印加される書き込み電圧を、従来のメモリセルと同等としたとき、従来のメモリセル以上に書き込み速度を向上させることができる。また、書き込み速度を従来と同程度に抑制したならば、書き込み電圧を低下させることができる。

【0014】さらに、トンネル絶縁膜が平坦部分を有することで、電界集中部分に集中するトンネル電流を、前記素子領域と前記浮遊ゲートとが平坦に対向する部分に分散させることができる。これにより、電界集中部分に集中するトンネル電流の密度は、トンネル絶縁膜が絶縁破壊されない密度まで低下されている。よって、電界集中部分をトンネル電流が通過しても破壊することがない。

【0015】また、請求項2に係る発明では、請求項1に係る発明において、前記素子分離領域は、前記半導体基板に設けられたトレンチ内に埋め込み形成されるとともに、この上方で前記浮遊ゲートは、その端部が前記トレンチ内に埋め込まれて最下面を形成しており、前記素

7

子領域の全表面が、前記浮遊ゲートの最下面を越えて突出した形状を有していることを特徴とする。

【0016】このような請求項2に係る発明であると、前記素子領域が、前記浮遊ゲートに向かって突出した形状を容易に形成できるようになる。

【0017】また、請求項3に係る発明では、請求項1および請求項2いずれかに係る発明において、前記素子領域における凸状の曲面部分の曲率半径の最小値をR、前記トンネル絶縁膜の膜厚をtとしたときに、前記最小値Rと前記膜厚tとの間で、

【数10】

$$\frac{t}{R \ln \left(1 + \frac{t}{R}\right)} < 1.5$$

【0018】の関係を満足するように、前記素子領域の曲率半径の最小値Rを設定したことを特徴とする。

【0019】このような請求項3に係る発明であると、トンネル絶縁膜の絶縁破壊時間t_{BD}が、実用上、問題のない範囲まで向上させることができる。

【0020】また、請求項4に係る発明では、請求項1乃至請求項3いずれか一つに係る発明において、前記素子領域における凸状の曲面部分の曲率半径の最小値をR、この最小値Rの方向と略同一水平方向について前記素子領域の前記浮遊ゲートと対向する部分の幅をWとしたときに、前記最小値Rと前記幅Wとの間に、

【数11】

$$R < \frac{W}{3}$$

【0021】の関係を満足する形状を、前記素子領域が有していることを特徴とする。

【0022】このような請求項4に係る発明であると、消去特性の劣化を抑制することができる。

【0023】また、請求項5に係る発明では、請求項1乃至請求項4いずれか一つに係る発明において、前記メモリセルを、NAND型、NOR型、DINOR型、AND型のうち、いずれか一つに用いることを特徴とする。

【0024】このような請求項5に係る発明であると、NAND型、NOR型、DINOR型、AND型のいずれの不揮発性半導体記憶装置においても、書き込み特性の向上とともに消去特性の劣化の抑制できる。また、メモリセルが、データの書き込みに基板ホットエレクトロンを用いるものであっても、書き込み特性の向上とともに消去特性の劣化を抑制することができる。

【0025】上記目的を達成するために、この発明の請求項6に係る発明では、半導体基板と、前記基板に設けられた素子分離領域と、前記素子分離領域により分離されたメモリセルを形成するための素子領域と、前記素子領域上にトンネル絶縁膜を介して形成された浮遊ゲートと、前記浮遊ゲートおよび前記トンネル絶縁膜を介して

8

前記素子領域に容量結合される制御ゲートとを含む、電氣的に情報の書き替えが可能なメモリセルを複数配列してなるメモリセルアレイを具備し、データの書き込みおよび消去の際に印加するバイアスによって、前記トンネル絶縁膜を通過する電子の方向が双方向に変化する不揮発性半導体記憶装置であって、前記素子領域は、その少なくとも一部が、前記浮遊ゲートに対し、実質的に曲率を持って対向する凸状の曲面部分と、実質的に平坦に対向する平坦部分を有しながら、前記浮遊ゲートに向かって突出した形状を有し、データ書き込みの際、前記素子領域の曲面部分を介して生ずる電界の最大値をE_{edge}(R)、前記素子領域の平坦部分を介して生ずる電界をE_{flat}(R)としたとき、

【数12】

$$E_{\text{edge}}(R) < 1.5 \times E_{\text{flat}}(R)$$

【0026】の関係を満足する電界を、前記浮遊ゲート～前記基板間に生ずることを特徴とする。

【0027】このような請求項6に係る発明であると、曲面部分を介して生ずる電界をE_{edge}(R)と平坦部分を介して生ずる電界をE_{flat}(R)とを上記の関係とすることで、曲面部分に集中するトンネル電流の密度を、トンネル絶縁膜が絶縁破壊されない密度まで低下させることができる。また、トンネル電流が集中する曲面部分を持つことで、制御ゲート～基板間に印加される書き込み電圧を、従来のメモリセルと同等としたとき、従来のメモリセル以上に書き込み速度を向上させることができる。

【0028】また、請求項7に係る発明では、請求項6に係る発明において、前記基板側から前記浮遊ゲートに向かって、前記トンネル絶縁膜中を電荷が通過するときに、前記曲面部分を介して前記トンネル絶縁膜を通過する単位時間当たりの電荷量をQ_{edge}(R)、前記平坦部分を介して前記トンネル絶縁膜を通過する単位時間当たりの電荷量をQ_{flat}(R)としたとき、

【数13】

$$Q_{\text{edge}}(R) < 10^5 \times Q_{\text{flat}}(R)$$

【0029】の関係を満足する電荷を、前記トンネル絶縁膜に通過させることを特徴とする。

【0030】このような請求項7に係る発明であると、曲面部分を介してトンネル絶縁膜を通過する単位時間当たりの電荷の量Q_{edge}(R)と、平坦部分を介してトンネル絶縁膜を通過する単位時間当たりの電荷の量Q_{flat}(R)とを、上記の関係とする。この関係は、請求項6に示した関係を別の表現としたものである。したがって、請求項6に係る発明と同様に、曲面部分に集中するトンネル電流の密度を、トンネル絶縁膜が絶縁破壊されない密度まで低下させることができる。また、トンネル電流が集中する曲面部分を持つことで、制御ゲート～基

9

板間に印加される書き込み電圧を、従来のメモリセルと同等としたとき、従来のメモリセル以上に書き込み速度を向上させることができる。

【0031】また、請求項8に係る発明では、請求項6および請求項7いずれかに係る発明において、前記浮遊ゲートから前記基板側に向かって、前記トンネル絶縁膜中を電荷が通過するときに、前記曲面部分および平坦部分を有する素子領域上に形成されたトンネル絶縁膜全体の平均の電流密度 $J(R)$ 、前記平坦部分のみ有する素子領域上に形成されたトンネル絶縁膜全体の電流密度 $J(R=0)$ との間で、前記浮遊ゲート～前記基板間の電位差を互いに同一に設定した条件下で、

【数14】

$$J(R) > 0.5 \times J(R=0)$$

【0032】の関係を満足するように、前記トンネル絶縁膜に電荷を通過させることを特徴とする。

【0033】このような請求項8に係る発明であると、消去特性の劣化を抑制することができる。

【0034】また、請求項9に係る発明では、請求項6乃至請求項8いずれか一つに係る発明において、前記メモリセルを、NAND型、NOR型、DINOR型、AND型のうち、いずれか一つに用いることを特徴とする。

【0035】このような請求項9に係る発明であると、NAND型、NOR型、DINOR型、AND型のいずれの不揮発性半導体記憶装置においても、書き込み特性の向上とともに消去特性の劣化の抑制できる。また、メモリセルが、データの書き込みに基板ホットエレクトロンを用いるものであっても、書き込み特性の向上とともに消去特性の劣化を抑制することができる。

【0036】上記目的を達成するために、請求項10に係る発明では、半導体基板と、前記基板に設けられた素子分離領域と、前記素子分離領域により分離されたメモリセルを形成するための素子領域と、前記素子領域上にトンネル絶縁膜を介して形成された浮遊ゲートと、前記浮遊ゲートおよび前記トンネル絶縁膜を介して前記素子領域に容量結合される制御ゲートとを含む、電気的に情報の書き替えが可能なメモリセルを複数配列してなるメモリセルアレイを具備し、前記浮遊ゲートに対する前記素子領域の対向面が平坦部分と凸状の曲面部分とを有しており、曲率半径が $R \geq (W/3)$ となる部分を前記平坦部分、曲率半径が $R < (W/3)$ {ただし式中の W は、 R の方向と略同一水平方向について前記素子領域の前記浮遊ゲートと対向する部分の幅を示す} となる部分を前記曲面部分と定義したときに、曲面部分の曲率半径の最小値 R と、前記トンネル絶縁膜の膜厚 t との間で、

【数15】

$$\frac{t}{R \ln \left(1 + \frac{t}{R} \right)} < 1.5$$

10

【0037】の関係を満足するように、前記素子領域における曲面部分の曲率半径の最小値 R が設定されていることを特徴とする。

【0038】このような請求項10に係る発明であると、上記のように規定される曲面部分を有していることで、この曲面部分に、トンネル電流を、トンネル絶縁膜が絶縁破壊されない密度まで集中させることができる。したがって、制御ゲート～基板間に印加される書き込み電圧を、従来のメモリセルと同等としたとき、従来のメモリセル以上に書き込み速度を向上させることができる。

【0039】また、請求項11では、請求項10に係る発明において、前記メモリセルを、NAND型、NOR型、DINOR型、AND型のうち、いずれか一つに用いることを特徴とする。

【0040】このような請求項11に係る発明であると、NAND型、NOR型、DINOR型、AND型のいずれの不揮発性半導体記憶装置においても、書き込み特性の向上とともに消去特性の劣化の抑制できる。また、メモリセルが、データの書き込みに基板ホットエレクトロンを用いるものであっても、書き込み特性の向上とともに消去特性の劣化を抑制することができる。

【0041】上記目的を達成するために、請求項12に係る発明では、半導体基板と、前記基板に設けられた素子分離領域と、前記素子分離領域により分離されたメモリセルを形成するための素子領域と、前記素子領域上にトンネル絶縁膜を介して形成された浮遊ゲートと、前記浮遊ゲートおよび前記トンネル絶縁膜を介して前記素子領域に容量結合される制御ゲートとを含む、電気的に情報の書き替えが可能なメモリセルを複数配列してなるメモリセルアレイを具備し、データの書き込みおよび消去の際に印加するバイアスによって、前記トンネル絶縁膜を通過する電子の方向が双方向に変化する不揮発性半導体記憶装置であって、前記浮遊ゲートに対する前記素子領域の対向面が平坦部分と凸状の曲面部分とを有しており、曲率半径が $R \geq (W/3)$ となる部分を前記平坦部分、曲率半径が $R < (W/3)$ {ただし式中の W は、 R の方向と略同一水平方向について前記素子領域の前記浮遊ゲートと対向する部分の幅を示す} となる部分を前記曲面部分と定義したうえで、データの書き込みの際、前記素子領域の曲面部分を介して生ずる電界の最大値を $E_{\text{edge}}(R)$ 、前記素子領域の平坦部分を介して生ずる電界を $E_{\text{flat}}(R)$ としたとき、

【数16】

$$E_{\text{edge}}(R) < 1.5 \times E_{\text{flat}}(R)$$

【0042】の関係を満足する電界を、前記浮遊ゲート～前記基板間に生ずることを特徴とする。

【0043】このような請求項12に係る発明であると、曲面部分を介して生ずる電界の最大値を E_{edge}

11

(R)と平坦部分を介して生ずる電界を $E_{flat}(R)$ とを上記の関係とすることで、曲面部分に集中するトンネル電流の密度を、トンネル絶縁膜が絶縁破壊されない密度まで低下させることができる。また、トンネル電流が集中する曲面部分を持つことで、制御ゲート～基板間に印加される書き込み電圧を、従来のメモリセルと同等としたとき、従来のメモリセル以上に書き込み速度を向上させることができる。

【0044】また、請求項13に係る発明では、請求項12に係る発明において、前記基板側から前記浮遊ゲートに向かって、前記トンネル絶縁膜中を電荷が通過するときに、前記曲面部分を介して前記トンネル絶縁膜を通過する単位時間当たりの電荷量を $Q_{edge}(R)$ 、前記平坦部分を介して前記トンネル絶縁膜を通過する単位時間当たりの電荷量を $Q_{flat}(R)$ としたとき、

【数17】

$$Q_{edge}(R) < 10^5 \times Q_{flat}(R)$$

【0045】の関係を満たす電荷を、前記トンネル絶縁膜に通過させることを特徴とする。

【0046】このような請求項13に係る発明であると、曲面部分を介してトンネル絶縁膜を通過する単位時間当たりの電荷の量 $Q_{edge}(R)$ と、平坦部分を介してトンネル絶縁膜を通過する単位時間当たりの電荷の量 $Q_{flat}(R)$ とを、上記の関係とする。この関係は、請求項11に示した関係を別の表現としたものである。したがって、請求項11に係る発明と同様に、曲面部分に集中するトンネル電流の密度を、トンネル絶縁膜が絶縁破壊されない密度まで低下させることができる。また、トンネル電流が集中する曲面部分を持つことで、制御ゲート～基板間に印加される書き込み電圧を、従来のメモリセルと同等としたとき、従来のメモリセル以上に書き込み速度を向上させることができる。

【0047】また、請求項14に係る発明では、請求項12および請求項13いずれかに係る発明において、前記浮遊ゲートから前記基板側に向かって、前記トンネル絶縁膜中を電荷が通過するときに、前記曲面部分および平坦部分を有する素子領域上に形成されたトンネル絶縁膜全体の平均の電流密度を $J(R)$ 、前記平坦部分のみ有する素子領域上に形成されたトンネル絶縁膜全体の電流密度を $J(R=0)$ としたときに、

【数18】

$$J(R) > 0.5 \times J(R=0)$$

【0048】の関係を満たす電流密度を、前記トンネル絶縁膜に生ずることを特徴とする。

【0049】このような請求項14に係る発明であると、消去特性の劣化を抑制することができる。

【0050】また、請求項15に係る発明では、請求項12乃至請求項14いずれか一つに係る発明において、前記メモリセルを、NAND型、NOR型、DINOR

12

型、AND型のうち、いずれか一つに用いることを特徴とする。

【0051】このような請求項15に係る発明であると、NAND型、NOR型、DINOR型、AND型のいずれの不揮発性半導体記憶装置においても、書き込み特性の向上とともに消去特性の劣化の抑制できる。また、メモリセルが、データの書き込みに基板ホットエレクトロンを用いるものであっても、書き込み特性の向上とともに消去特性の劣化を抑制することができる。

【0052】上記目的を達成するために、請求項16に係る発明では、半導体基板と、前記半導体基板に設けられたトレンチ内に埋め込み形成された素子分離領域と、前記素子分離領域よりも突出したメモリセルを形成するための素子領域と、トンネル絶縁膜を介して前記素子領域および前記素子分離領域の一部を被覆するように形成された浮遊ゲートと、前記浮遊ゲートおよび前記トンネル絶縁膜を介して前記素子領域に容量結合される制御ゲートとを具備する不揮発性半導体記憶装置であって、前記浮遊ゲートにより被覆された素子領域と素子分離領域との境界部分で、前記素子領域の上端部が実質的に曲率を持つように丸められていることを特徴とする。

【0053】このような請求項16に係る発明であると、データ書き込み時、トンネル絶縁膜の一部分に、トンネル絶縁膜が絶縁破壊されない範囲で電界集中し、トンネル電流が前記トンネル絶縁膜に偏在されて流れる。よって、制御ゲート～基板間に印加される書き込み電圧を、従来のメモリセルと同等としたとき、従来のメモリセル以上に書き込み速度を向上させることができる。また、書き込み速度を従来と同程度に抑制したならば、書き込み電圧を低下させることができる。

【0054】さらに、トンネル電流は、トンネル絶縁膜の一部分に、トンネル絶縁膜が破壊されない範囲で集中されるので、トンネル電流を、トンネル絶縁膜中に偏在して流しても、トンネル絶縁膜は、絶縁破壊することがない。

【0055】また、請求項17に係る発明では、請求項16に係る発明において、前記素子領域の上端部は、曲率半径の最小値 R が $3\text{ nm} \sim 100\text{ nm}$ 以下の範囲内となるような形状に丸められていることを特徴とする。

【0056】このような請求項17に係る発明であると、前記素子領域の上端部の形状が、微細化の要求を損なうことなく、実使用に耐え得るものにできる。

【0057】また、請求項18に係る発明では、請求項16および請求項17いずれかに係る発明において、前記メモリセルを、NAND型、NOR型、DINOR型、AND型のうち、いずれか一つに用いることを特徴とする。

【0058】このような請求項18に係る発明であると、NAND型、NOR型、DINOR型、AND型のいずれの不揮発性半導体記憶装置においても、書き込み

13

特性の向上とともに消去特性の劣化の抑制できる。また、メモリセルが、データの書き込みに基板ホットエレクトロンを用いるものであっても、書き込み特性の向上とともに消去特性の劣化を抑制することができる。

【0059】

【発明の実施の形態】以下、図面を参照しながら、この発明の実施の形態を説明する。この実施の形態においては、NAND型EEPROMのメモリセルを例にとり、説明する。

【0060】図1は、この発明の第1の実施の形態に係るNAND型EEPROMの平面図、図2は断面図で、
(A)図は、図1中の2A-2A線に沿う断面図、
(B)図は、図1中の2B-2B線に沿う断面図である。

【0061】最初に、この発明の第1の実施の形態に係るNAND型EEPROMが有するメモリセルの基本的な構造を説明する。

【0062】図1、図2に示すように、P型のシリコン基板（もしくはP型ウェル）1には、複数のトレンチ2が互いに並行して形成されている。これらのトレンチ2は、絶縁物により埋め込まれ、埋め込み素子分離領域3を形成している。この実施の形態で述べている埋め込み素子分離領域3は、STI (Shallow Trench Isolation) と呼ばれることもある。また、埋め込まれた絶縁物は、例えば二酸化シリコン (SiO_2) である。埋め込み素子分離領域3間に存在する基板1の部分は、素子領域4を構成する。素子領域4上には、トンネル酸化膜 (SiO_2) 5が形成されている。トンネル酸化膜5上には浮遊ゲート (FG) 6が形成されている。浮遊ゲート6上には二酸化シリコン (SiO_2) /窒化シリコン (Si_3N_4) /二酸化シリコン (SiO_2) の三層からなるONO絶縁膜7が形成されている。ONO絶縁膜7上には制御ゲート (CG) 8が形成されている。

【0063】次に、この発明の第1の実施の形態に係るNAND型EEPROMが有するメモリセルへのデータ書き込み／データ消去の動作を説明する。

【0064】図1、図2では、参照符号SがN型ソース領域、参照符号DがN型ドレイン領域、参照符号CG1～CG8が制御ゲート、参照符号SG1がドレイン側選択ゲート、参照符号SG2がソース側選択ゲート、参照符号BLがドレイン領域Dに接続されるビット線である。図1中に示すビット線コンタクトは、ビット線とドレイン領域Dとのコンタクト部分を示している。また、図1に示されない箇所（例えばセルアレイの端など）には、ソース線とソース領域Sとのコンタクト部分、すなわちソース線コンタクトもある。また、参照符号9は、選択ゲートトランジスタおよびメモリセルトランジスタを、ソース領域S～ドレイン領域D間に直列に接続するN型領域である。

【0065】NAND型EEPROMでは、データ書き

14

込み／データ消去の双方にFowler-Nordheim (FN) 電流が使用される。

【0066】まず、データ書き込みに際しては、書き込み選択された制御ゲートCGにVPP電位、非選択の制御ゲートCG、および選択ゲートSG1、SG2にVm電位をそれぞれ与え、ソース領域S、基板1は接地する。ドレイン領域Dの電位は、書き込みデータのレベル“1”、“0”に応じて正の電位、または接地のいずれかに変化される。特にドレイン領域Dが接地されたときには、浮遊ゲート6側が正バイアスとなる電位がかかって、トンネル酸化膜5にFN電流が流れ、電子が基板1側から浮遊ゲート6に注入される。

【0067】また、データ消去に際しては、消去選択されている全ての制御ゲートCG、選択ゲートSG1、SG2、ドレイン領域D、ソース領域Sをそれぞれ接地し、基板1にVEE電位を与える。このような電位状態により、基板1側が正バイアスとなる電位がかかって、トンネル酸化膜5にFN電流が流れ、電子が浮遊ゲート6から基板1に放出される。

【0068】次に、この発明の第1の実施の形態に係るNAND型EEPROMが有するメモリセルの構造を、より詳細に説明する。この発明の説明を助けるために、図2 (A) に示す断面構造を、素子分離領域3と素子領域4との境界に沿った境界部分222と、境界部分222間にあって平坦な平坦部分221とに、便宜上、分けることにする。

【0069】図2 (A) に示すように、トレンチ2を埋め込む絶縁物は、基板1の表面よりも後退され、素子領域4は、埋め込み素子分離領域3の表面から突出されている。突出された素子領域4の平坦部分221では、基板1の表面を犠牲酸化し、犠牲酸化により形成された犠牲酸化膜 (SiO_2) を剥離した後に、トンネル酸化膜5が形成されるので、トンネル酸化膜5は、ほぼ完全な平坦になる。これに対して、境界部分222は、丸められている。このため、境界部分222では、トンネル酸化膜5は、境界部分222の形状に応じた丸みを帯びることになる。浮遊ゲート6は、トンネル酸化膜5の上に形成され、突出された素子領域4を被覆する形状になっている。これにより、浮遊ゲート6は、丸められた境界部分222と平坦部分221とのそれぞれに対向される。

【0070】次に、図2 (A) に示すメモリセルに生ずる電界を説明する。

【0071】境界部分222における素子領域4の曲率半径Rは、微視的に考えると、場所によって異なっていると考えられ、一般的に一定値になりづらい。電界は、曲率が最も大きいところ、すなわち曲率半径Rが最も小さいところで最も大きくなる。そこで、様々な曲率半径のうち、最小の値のものを曲率半径Rと定義し、以下、図2 (A) に示すメモリセルに生ずる電界の式を導くこ

とにする。

【0072】データ書き込み時、トンネル酸化膜5の厚さを t とすると、ガウスの定理より、次の式が成り立 *

$$E_{\text{edge}} = \frac{t}{R \ln \left(1 + \frac{t}{R}\right)} E_{\text{flat}} \quad \dots (1)$$

【0074】(1)式において、電界 E_{edge} は、データ書き込み時(すなわちゲート正バイアス)のときの、境界部分222の最大電界であり、電界 E_{flat} は、平坦部分221の電界である。この(1)式より、曲率半径 R を小さくしていくと、電界 E_{edge} は大きくなる。逆に、曲率半径 R を大きくしていくと、電界 E_{edge} の値は小さくなって、電界 E_{flat} の値に近づいていく。つまり、図2(A)に示すメモリセルでは、平坦部分221に生ずる電界より、丸められた境界部分222に生ずる電界が大きい。データを書き込む時には、FN電流を用いて、基板1側から浮遊ゲート6へ電子を注入する。したがって、図2(A)に示すメモリセルでは、書き込み時には、平坦部分221に流れるFN電流の密度より、境界部分222に流れるFN電流の密度が大きくなる。

【0075】図3は、基板～浮遊ゲート間に生ずる電界を示す図で、(A)図は、図2(A)に示す基板～浮遊ゲート間に生ずる電気力線を示す図、(B)図は、図2(A)に示す基板～浮遊ゲート間のエネルギーバンド図である。(B)図は、特に書き込み時、境界部分222に生ずるエネルギーバンドを示している。

【0076】基板1と制御ゲート8との間に書き込み電圧 V_{PP} を印加したとき、電位差は、トンネル酸化膜5のどの部分でも同じである。これに関わらず、境界部分222にFN電流が集中して流れるのは、境界部分222におけるエネルギーバンドが曲げられているからである。この様子を、図3(B)に示す。

【0077】図4は、電界 E_{edge} と電界 E_{flat} との比の曲率半径依存性を示す図である。すなわち、(1)式を、図示したものである。なお、図4には、書き込み時の比だけでなく、消去時の比についても示されている。

【0078】書き込み時には、曲率半径 R が小さくなるに従って、電界集中の度合いが強まり、曲率半径 R が大

$$J = A E^2 \exp \left(-\frac{B}{E} \right) \quad \dots (2)$$

【0086】図5に示すように、電界が 1 MV/cm 変わるだけで、FN電流の密度は、2桁上昇する。FN電流は、このように電界に敏感である。ここで、素子領域4の幅(チャネル幅)を α 、境界部分222の曲率半径を R 、トンネル酸化膜5の膜厚を t とすると、図2

*つ。

【0073】

【数19】

※きくなるに従って、電界集中の度合いが弱まる傾向がある。消去時も同様な傾向を示すが、曲率半径 R が大きくなるに従って、電界集中の度合いが弱まる傾向は、書き込み時ほど、大幅に変化するものではない。

【0079】このように図2(A)に示すメモリセルは、書き込み時に、次のような効果を得ることができる。

【0080】まず、境界部分222におけるエネルギーバンドが曲げられているので、丸められた境界部分222に、FN電流が集中して流れる。これにより、丸められた境界部分222を持たないメモリセルに比べて、書き込み速度が速くなる。また、書き込み速度を同等の速度にするならば、書き込み電圧 V_{PP} を低くすることができる。

【0081】ところで、消去時には、電子を、浮遊ゲート6から基板1へ放出するため、書き込み時とは反対に、丸められた境界部分222への電界集中は起きない。FN電流は、主に平坦部分221に流れる。電子を放出する先は、NAND型では基板1のチャネル部であるが、NOR型では拡散層であるドレイン領域に電子を放出する。いずれも、FN電流を使用している。

【0082】さて、上記した通り、埋め込み素子分離領域3よりも突出された素子領域4を被覆するようにトンネル酸化膜5および浮遊ゲート6が形成され、書き込み時に素子分離領域3と素子領域4との境界の部分で電界集中が起きると、FN電流は、電界が集中しているところに、集中して流れる。

【0083】図5は、FN電流の電界依存性を示す図である。

【0084】FN電流は、次の式により表される。

【0085】

【数20】

(A)に示すメモリセルのトンネル酸化膜5に流れるFN電流の式は、(1)式、(2)式により、次のように示される。

【0087】

【数21】

$$I(R, E) \propto (\alpha - 2R) E^2 \exp\left(-\frac{B}{E}\right) + \pi R \left(\frac{t}{R \ln\left(1 + \frac{t}{R}\right)}\right)^2 E^2 \exp\left(-\frac{BR \ln\left(1 + \frac{t}{R}\right)}{tE}\right)$$

… (3)

【0088】(3)式によれば、例えば素子領域4の幅 α が $0.4\mu\text{m}$ 、境界部分222の曲率半径 R が 10nm のメモリセルでは、書き込み時に、トンネル酸化膜5を通過する電荷量の99.5%までが、丸められた境界部分222を通過する計算になる。

【0089】図6は、書き込み時のFN電流 I_{flat} とFN電流 I_{edge} との比の曲率半径依存性を示す図である。

【0090】図6には、(3)式の平坦部分221に流れるFN電流 I_{flat} と、丸められた境界部分222に流れるFN電流 I_{edge} との比と曲率半径 R との関係が、素子領域4の幅(SDG Width) α をパラメータとしてプロットされている。

【0091】図7は、FN電流の電界依存性を示す図である。

【0092】図7には、(3)式そのものを、曲率半径の値(Radius) R をパラメータとしてプロットされている。

【0093】図6および図7に示すように、曲率半径 R が小さくなるにつれ、丸められた境界部分222でのFN電流成分が急激に増えている。

【0094】ところで、消去時においても同様の計算で、FN電流式が決まる。

【0095】図8は、消去時のFN電流 I_{flat} とFN電流 I_{edge} との比の曲率半径依存性を示す図である。

【0096】図8には、平坦部分221に流れるFN電流 I_{flat} と、丸められた境界部分222に流れるFN電流 I_{edge} との比と曲率半径 R との関係が、素子領域4の幅(SDG Width)をパラメータとしてプロットされている。

【0097】図8に示すように、曲率半径 R が小さい値では、ほとんどのFN電流成分が、平坦部分221に流れている。

【0098】図9は、書き込み時/消去時のFN電流密度の曲率半径依存性を示す図である。

【0099】図9には、素子領域4の幅(SDG Width)が $0.2\mu\text{m}$ 、トンネル酸化膜5の膜厚 T_{ox} が 8nm のメモリセルを用い、電界 E_{flat} が $7\text{MV}/\text{cm}$ のときのもが示されている。書き込み時では、曲率半径 R が $0.01\mu\text{m}$ 以下になると、FN電流密度が急激に大きくなる。一方、消去時では、曲率半径 R が大きくなるにつれ、少しずつFN電流密度が小さくなっていく。

【0100】一般に、トンネル酸化膜の絶縁破壊時間 t_{BD} は、単位面積当たりの通過電荷量が多くなるにつれて、および印加されている電界が大きくなるにつれて短

くなる。そのため、曲率半径 R が小さくなり、境界部分222での電界がある程度強くなると、メモリセル1個当たりの絶縁破壊時間 t_{BD} が極端に下がり、実用上使えなくなる。一方、曲率半径 R を大きくすれば、絶縁破壊時間 t_{BD} が極端に悪化しなくなるが、電界集中の効果は下がってくる。したがって、曲率半径 R のサイズには、最適な範囲がある。

【0101】以下、曲率半径 R の最適な範囲について論ずることにする。

【0102】図10(A)～(F)はそれぞれ、メモリセルの断面図である。(A)図は曲率半径 $R=0.01\mu\text{m}$ のとき、(B)図は曲率半径 $R=0.02\mu\text{m}$ のとき、(C)図は曲率半径 $R=0.04\mu\text{m}$ のとき、

(D)図は曲率半径 $R=0.06\mu\text{m}$ のとき、(E)図は曲率半径 $R=0.08\mu\text{m}$ のときを示している。また、(F)図は丸められた境界部分222を持たず、電界集中が全く利用されないメモリセルの断面図である。このメモリセルは、丸められた境界部分222の有無によって、FN電流の密度がどのように変化するかを調べるために、製作したものである。(F)図に示すメモリセルは、典型的なメモリセルと比較して、素子分離領域が、埋め込み型か、LOCOS型かの相違はあるものの、典型的なメモリセルと等価なものである。なお、図10(A)～(F)に示すメモリセルの素子領域4の幅(チャンネル幅)は、全て $0.2\mu\text{m}$ で統一されている。

【0103】まず、図10(F)に示すメモリセルでは、書き込み時、消去時のいずれにおいても、トンネル酸化膜5を通過するFN電流の密度は、同じである。図9には、図10(F)に示すメモリセルが参照符号“(F)”および“Flat”により示されている。

【0104】これに対して、図10(A)～(E)に示すメモリセルは、書き込み時、消去時の双方で、トンネル酸化膜5を通過するFN電流の密度が異なる。さらに曲率半径 R のサイズによって、そのFN電流の密度の異なる方が変化する。図9には、図10(A)～(E)に示すメモリセルがそれぞれ、参照符号“(A)”、“(B)”、“(C)”、“(D)”および“(E)”により示されている。

【0105】図9に示すように、素子領域4を、素子分離領域3との境界部分222で丸みを持たせて突出させ、かつ突出した素子領域4を被覆するようにトンネル酸化膜5を介して浮遊ゲート6を形成した図10(A)～(E)に示すメモリセルでは、書き込み時、FN電流の密度が、図10(F)に示すメモリセルに比べて高く

19

なる。なお、曲率半径Rが大きくなるにつれ、書き込み時にトンネル酸化膜5を通過するFN電流の密度は、少しずつ低下していくが、図10(F)に示すメモリセルに比べると、常に高い状態にある。このように、図10(A)～(E)に示すメモリセルでは、書き込み時にFN電流の密度が高まる、という作用がある。ゆえに書き込み特性は向上し、結果として、上記したように書き込み速度が向上する、あるいは書き込み電圧VPPを低下できる、という重要な効果を得ることができる。

【0106】一方、消去時においては、図10(A)～(E)に示すメモリセルは、曲率半径Rが大きくなるにつれ、FN電流の密度は、図10(F)に示すメモリセルに比べて徐々に低くなっていく。これは、上記した通り、書き込み時とは逆に、消去時には、平坦部分221にかかる電界Eflatが、境界部分222にかかる電界Eedgeよりも大きくなり、FN電流が、主に平坦部分222*

$$R < \frac{W}{3}$$

【0110】の式を満たすように、曲率半径R(最小値)を設定する。なお、式中のWは、厳密には曲率半径Rの方向と略同一水平方向についての素子領域4の、浮遊ゲート6と対向する部分の幅で定義され、図10に示すメモリセルでは、チャンネル幅に相当する。(4)式に示す1/3という値は、境界部分222を通過するFN電流Iedgeの電流量と、平坦部分221を通過するFN電流Iflatの電流量とが、ちょうど逆転する付近に対応している。図8には、電流量が逆転したときの曲率半径Rが、曲率半径Rcritとして示されている。素子領域4の幅(SDG Width)が0.2μmのときには、曲率半径Rcritは、65～67nmのところにある。したがって、曲率半径Rが、(4)式を満足する範囲内にあれば、消去特性の劣化を抑制しつつ、効率良く書き込み特性を向上させることができる。なお、図8には、素子領域4の幅(SDG Width)が0.4μm、および4μmのときの曲率半径Rcritは示されていないが、その曲線から、曲率半径Rが、素子領域4の幅の1/3程度のと

$$J(R) > 0.5 \times J(R=0)$$

【0113】の式を満足するように、通過電荷の量を設定する。(5)式に示すように、消去時に、通過電荷の量が半減しないことを規定することによって、データの一括消去動作に要する合計時間の増加は、実用上、問題のない程度に抑えることができる。これは、データの一括消去動作では、データの消去工程だけでなく、オーバーレイを防ぐために、消去選択されたメモリセルのデータを全て統一するデータの書き込み工程があるためである。この発明に係るメモリセルでは、上記したように、書き込み速度を向上できるので、書き込み工程に要する時間を短縮することができる。したがって、単位時間当たりの通過電荷の量が、(5)式を満足する範囲内にあれば、データの一括消去動作の時間の増加は、ほと

20

*1を通過するためである。

【0107】図11は、基板～浮遊ゲート間のエネルギーバンド図である。図11は、消去時に、境界部分222に生ずるエネルギーバンドを示している。

【0108】以上の観点から、消去特性の劣化を抑制しつつ、効率良く書き込み特性を向上させるための第1の策とし、素子領域4に、丸められた境界部分222とともに平坦部分221を形成し、かつ平坦部分221に、ある程度の幅を持たせる。この第1の策を具体化するためには、平坦部分221に、ある程度の幅を持たせるため、曲率半径Rの上限を規定するのが良い。以下、曲率半径Rの上限規定の一例である。

【0109】一つのメモリセルの素子領域4の幅をW、曲率半径の最小値をRとしたとき、

【数22】

…(4)

※き、FN電流Iedgeの電流量と、FN電流Iflatの電流量とが逆転する、と推測できる。

【0111】また、消去特性の劣化を抑制しつつ、効率良く書き込み特性を向上させるための第2の策とし、消去時に、トンネル酸化膜5を通過する単位時間当たりの電荷量を、なるべく多くする。第2の策を具体化するためには、トンネル酸化膜5を通過する電荷の量(単位時間当たり)の下限を規定するのが良い。以下、単位時間当たりの通過電荷の量規定の一例である。

【0112】浮遊ゲート6から基板1へ電子を放出する時の電位差(または平均電界)を等しいことを条件に、トンネル酸化膜5を通過する単位時間当たりの電荷の量をJ(R)とし、特に曲率半径R=0のとき(例えば図10(F)に示すメモリセル)、トンネル酸化膜5を通過する単位時間当たりの電荷の量をJ(R=0)としたときに、

【数23】

…(5)

んど、実用上、問題のない程度に抑えることができる。

【0114】以上、曲率半径R(最小値)の上限について説明した。次に、曲率半径Rの下限について説明する。

【0115】図9に示すように、曲率半径Rが小さくなるにつれ、電界集中の度合いが高まってきて、上記した書き込み速度の向上、あるいは書き込み電圧VPPを下げる可以降低ことができる、という効果を、顕著に得ることができる。しかしながら、電界集中の度合いが高まり過ぎると、絶縁破壊時間tBDが急激に悪化し、実使用に耐えることができない程、メモリセルの寿命が短くなることが予想される。

【0116】以上の観点から、書き込み特性の向上を最

21

大限に引き出しつつ、実使用に耐えられるような寿命を持つメモリセルを得ることが望ましい。このためには、曲率半径Rの下限を規定するのが良い。以下、曲率半径*

$$E_{\text{edge}}(R) < 1.5 \times E_{\text{flat}}(R) \quad \dots (6)$$

【0117】の式を満たすようにする。(6)式に示すように、電界E_{edge}を、電界E_{flat}の1.5倍以下とすることによって、絶縁破壊時間t_{BD}の悪化は、最低限度に止めることができる。 ※

$$\frac{t}{R \ln \left(1 + \frac{t}{R} \right)} < 1.5 \quad \dots (7)$$

【0120】(7)式によれば、書き込み特性の向上を最大限に引き出しつつ、実使用に耐えられるような寿命を持つメモリセルを得るための、曲率半径Rの下限が規定される。なお、ここでは、トンネル酸化膜5の膜厚が境界部分222において、多少不均一である場合でも、式中の膜厚tを、素子領域4の平坦部分221上における値に設定して何等差支えない。

【0121】図12はメモリセルの断面図で、(A)図は曲率半径Rが上限のときの断面図、(B)図は曲率半径Rが下限のときの断面図である。

【0122】図12(A)、(B)に示すメモリセルの素子領域4の幅(チャネル幅)は、全て0.21μm、トンネル酸化膜5の膜厚は8nmである。このようなサイズのメモリセルでは、(4)式から、曲率半径Rの上限は70nm(図12(A))、また、(7)式から、曲率半径Rの下限は6.5nm(図12(B))となる。なお、一般に曲率半径の最小値Rは、メモリセルの★

$$Q_{\text{edge}}(R) < 10^5 \times Q_{\text{flat}}(R) \quad \dots (8)$$

【0124】の(8)式を満たすようにする。このことによって、絶縁破壊時間t_{BD}の悪化は、最低限度に止めることができる。

【0125】すなわち、図6は、境界部分222と平坦部分221の電流比の曲率半径依存性を示す図であるが、単位時間当たりの通過電荷量は、実は電流と同意である。この図により、曲率半径Rが非常に小さくなると、通過電荷量の比が10⁵を越える。これ以上の比になると、境界部分222に多量の電流が流れ、絶縁破壊時間までの時間が非常に短くなり、実使用に耐えられなくなる。

【0126】次に、この発明の第2の実施の形態に係るNAND型EEPROMのメモリセルを説明する。 ☆

$$E_1 > E_2 > E_0 \quad \dots (9)$$

【0130】(9)式に示すように、トンネル酸化膜5中で、電界が最も集中する部分は、境界部分222₁であるから、境界部分222₁の曲率半径R₁を、上記した実施の形態の通りの範囲に合わせておけば、境界部分

22

*Rの下限規定の一例である。まず、曲率半径Rの値を変えたとき、電界E_{edge}と電界E_{flat}との関係を、
【数24】

※【0118】さらに(6)式は、(1)式より、下記の式のように変形することができる。

【0119】
【数25】

★チャネル幅やトンネル酸化膜5の膜厚に応じ、3~100nmの範囲内で、所望の書き込み特性/消去特性が得られる上限規定、および下限規定を満足するように設定されれば良い。メモリセルのチャネル幅やトンネル酸化膜5の膜厚などは、微細化の要求を損わない範囲で様々な変化される。このようにメモリセルのチャネル幅やトンネル酸化膜5の膜厚が様々な変化されても、曲率半径の最小値Rが3nm~100nm以下の範囲内となるような形状に丸めることで、前記素子領域の上端部の形状を、微細化の要求を損なうことなく、実使用に耐え得るものとすることができる。

【0123】また、曲率半径Rの下限は次のようにも規定できる。曲率半径Rの値を変えたとき、境界部分222を通過する単位時間当たりの電荷量をQ_{edge}(R)と、平坦部分221を通過する単位時間当たりの電荷量をQ_{flat}(R)との関係を、
【数26】

☆【0127】図13は、この発明の第2の実施の形態に係るNAND型EEPROMのメモリセルの断面図である。

【0128】実際のメモリセルでは、境界部分222の曲率は一定ではなく、ひずんでいるものがある。例えば図13に示すように、平坦部分221の他に、曲率の小さい境界部分222₁と、曲率の大きい境界部分222₂とが存在するものがある。このようなメモリセルにおいて、平坦部分221の電界をE₀、境界部分222₁の電界をE₁、境界部分222₂の電界をE₂とすると、以下に示す式が成り立つ。

【0129】
【数27】

222がひずんでいても、問題はない。つまり、複数の曲率半径R₁、R₂が存在するときには、曲率半径の小さい方(R₁)を、上限規定(4)式および下限規定(7)式などに規定される範囲内に収めれば良い。

23

【0131】次に、この発明の第3の実施の形態に係る NAND型EEPROMのメモリセルを説明する。

【0132】図14は、この発明の第3の実施の形態に係るNAND型EEPROMのメモリセルの断面図である。

【0133】上記第1、第2の実施の形態では、埋め込み型の素子分離領域3と、これら素子分離領域3により区画される素子領域4との境界を、境界部分222とし、これら境界部分222に挟まれた部分を平坦部分221と定義した。しかし、電界を集中させるための構造は、このような構造に限らず他の構造とすることもでき*

$$R < \frac{W}{3}$$

【0137】また、平坦部分となる領域は、曲率半径Rの値が、

$$R \geq \frac{W}{3}$$

【0138】(10)式および(11)式による定義からは、この発明が、埋め込み型の素子分離を用いたセルだけでなく、LOCOS型の素子分離を用いたセルで、素子領域4に凹凸がある形状にも適用できることが分かる。以下、第3の実施の形態に係る2種類のメモリセルについて説明する。

【0139】図14は、この発明の第3の実施の形態に係るNAND型EEPROMの第1のメモリセルの断面図である。

【0140】図14に示すように、埋め込み型の素子分離領域3と、これら素子分離領域3により区画される素子領域4との境界に、境界部分222が存在する。しかしながら、境界部分222には、丸められた境界部分222だけではなく、平坦部分221Vが存在する。また、境界部分222間には、平坦部分221Hが存在する。

【0141】図15は、この発明の第3の実施の形態に係るNAND型EEPROMの第2のメモリセルの断面図である。

【0142】図15に示すように、LOCOS型の素子分離領域3と、これら素子分離領域3により区画される素子領域4との境界には、丸められた境界部分222は存在しない。代わりに、素子領域4のほぼ中心に、突出部分223が存在する。この突出部分223のコーナーは、曲率半径Rの曲面となっている。

【0143】図14および図15に示すように、平坦部分と電界が集中される曲面部分とは、素子領域4の曲率の大きさによって互いに区別することができる。また、電界が集中される曲面部分の曲率は、上記した曲率半径Rによって、決定されれば良い。

【0144】次に、この発明を適用できるEEPROMについて説明する。

【0145】図16は、NAND型EEPROMのメモ

24

*る。

【0134】第3の実施の形態では、平坦部分と電界が集中される曲面部分とを、曲率半径Rの大きさに決定する。なぜならば、電界を集中できる部分と、その集中度合いは、曲率半径Rの大きさによって決定されるからである。

【0135】第3の実施の形態では、平坦部分と電界が集中される曲面部分とを、次の式から定義する。

【0136】まず、電界が集中される曲面となる領域は、曲率半径Rの値が、

【数28】

… (10)

※【数29】

… (11)

リセルアレイの回路図である。

【0146】図16に示すように、NAND型EEPROMでは、ビット線BLとソース線VSとの間に、ビット線側選択ゲートと、互いに直列接続されたメモリセル群と、ソース線側選択ゲートとが、直列に接続される。この発明に係るメモリセルは、上記第1～第3の実施の形態により説明したように、NAND型EEPROMに用いられるのが、特に好ましい。しかしながら、この発明に係るメモリセルは、NAND型だけでなく、例えばNOR型、DINOR型、AND型などにも用いることができる。

【0147】図17は、NOR型EEPROMのメモリセルアレイの回路図で、(A)図は選択ゲートが無い場合の回路図、(B)図は選択ゲートが有る場合の回路図である。

【0148】図17(A)に示すように、NOR型EEPROMでは、ビット線BLとビット線BLに直交する方向に延びるソース線VSとの間に、一つのメモリセルが直列に接続される。あるいは、図17(B)に示すように、ビット線BLとビット線BLに直交する方向に延びるソース線VSとの間に、ビット線側選択ゲートと、一つのメモリセルとが直列に接続される。

【0149】図18は、他のNOR型EEPROMのメモリセルアレイの回路図で、(A)図はグランドアレイ型の回路図、(B)図は交互グランドアレイ型の回路図である。

【0150】図18(A)および(B)に示すNOR型EEPROMは、グランドアレイ型と呼ばれているものである。グランドアレイ型EEPROMでは、ビット線BLと、ビット線BLに並行するソース線VSとの間に、一つのメモリセルが直列に接続される。また、図18(A)に示すグランドアレイ型では、ビット線BLとソース線VSとがそれぞれ固定であるが、図18(B)

25

に示す交互グラウンドアレイ型EEPROMでは、ビット線BLとソース線VSとをそれぞれ切り換えることができるようになっている。

【0151】図19は、DINOR (Divided NOR) 型EEPROMのメモリセルアレイの回路図である。

【0152】図19に示すように、DINOR型EEPROMでは、一つのサブビット線BLと、複数のソース線VSとの間に、メモリセルが並列に接続される。サブビット線BLは、ビット線側選択ゲートを介して、ビット線BLに接続される。

【0153】図20は、AND型EEPROMのメモリセルアレイの回路図である。

【0154】図20に示すように、AND型EEPROMでは、ビット線BLとソース線VSとの間に、ビット線側選択ゲートと、互いに並列接続されたメモリセル群と、ソース線側選択ゲートとが、直列に接続される。

【0155】この発明に係るメモリセルは、図16に示すNAND型に限らず、図17～図20に示すNOR型、グラウンドアレイ型、DINOR型、AND型にも使用することができる。

【0156】なお、NOR型、グラウンドアレイ型、DINOR型、AND型では、書き込み時、基板ホットエレクトロンを用いることがある。このような基板ホットエレクトロン方式による書き込みにおいても、境界部分222において、より強い電界が発生するので、FN電流方式による書き込みと同様、書き込み速度の向上を期待できる。

【0157】次に、この発明の第5の実施の形態に係るNAND型EEPROMの製造方法を説明する。

【0158】図21は、この発明の第4の実施の形態に係るNAND型EEPROMのメモリセルアレイの平面図、図22～図33は、図21に示す22-22線に沿う断面を、主要な製造工程の順に示した断面図である。

【0159】まず、図22に示すように、P型シリコン基板1の表面を酸化し、犠牲酸化膜 (SiO_2) 21を形成する。次いで、犠牲酸化膜21の上に窒化シリコン (Si_3N_4) を堆積し、シリコン窒化膜23を形成する。次いで、窒化膜23の上にホトレジストを塗布する。次いで、塗布されたホトレジストを露光/現像し、将来、トランジスタが形成される素子領域を被覆したホトレジストパターン25を形成する。

【0160】次いで、図23に示すように、ホトレジストパターン25をマスクに用いて、窒化膜23、犠牲酸化膜21を順次エッチングし、さらに露出した基板1をエッチングし、トレンチ2を基板1に形成する。次いで、ホトレジストパターン25を剥離する。

【0161】次いで、図24に示すように、トレンチ2の内壁表面を酸化する。この酸化は、犠牲酸化膜21とトレンチ2の側壁とが互いに接する境界部分222を丸めるために行う。この酸化は、例えば酸化温度を100

26

0℃以上とした、一般に高温酸化と呼ばれるプロセスを利用するとともに、酸化雰囲気希釈雰囲気とすると良い。希釈雰囲気とは、酸素 (O_2) 濃度が、比較的薄いことをいう。これにより、トレンチ2の内壁表面が、高温でゆっくりと酸化され、境界部分222を丸めやすくなる。また、図中、参照符号31は、酸化によって形成されたシリコン酸化膜 (SiO_2) を示している。

【0162】次いで、図25に示すように、基板1の上方に二酸化シリコン (SiO_2) を堆積し、シリコン酸化膜33を形成する。この工程により、トレンチ2は、酸化膜33によって埋め込まれる。

【0163】次いで、図26に示すように、酸化膜33をポリッシング (またはエッチバック) し、酸化膜31の表面を平坦にする。酸化膜3は、例えば窒化膜23の表面が露出されるまで、ポリッシングされ、トレンチ2の内部を埋め込む形状にされる。以下、トレンチ2の内部を埋め込む形状の酸化膜33は、図2などに対応させて素子分離領域3と示す。

【0164】次いで、図27に示すように、まず、窒化膜23を除去する。窒化膜23は、等方性エッチングによって除去される。この等方性エッチングには、窒化シリコンのエッチング速度が、二酸化シリコンのエッチング速度よりも速いエッチャントが用いられる。なお、窒化膜23は、例えばRIE法などの異方性エッチングによって除去されても良い。次いで、犠牲酸化膜21を除去する。犠牲酸化膜21は、図24を参照した工程によって得た境界部分222の丸みを破壊しないために、等方性エッチングによって除去される。この等方性エッチングには、二酸化シリコンのエッチング速度が、シリコンのエッチング速度よりも速いエッチャントが用いられる。これにより、基板1の表面が露出された素子領域4と、基板1の表面が酸化膜33により被覆された素子分離領域3とが完成する。

【0165】次いで、図28に示すように、露出した基板1の表面 (素子領域4) を酸化し、選択ゲートを構成するトランジスタ (および図示せぬ周辺回路を構成するトランジスタ) のゲート酸化膜として最適な膜厚を持つゲート酸化膜 (SiO_2) 35を形成する。

【0166】次いで、図29に示すように、基板1の上方にホトレジストを塗布する。次いで、塗布されたホトレジストを露光/現像し、選択ゲート (および図示せぬ周辺回路) が形成される領域を被覆したホトレジストパターン37を形成する。次いで、ホトレジストパターン37をマスクに用いて、ゲート酸化膜35を除去し、メモリセルが形成される領域において、基板1の表面を露出させる。ゲート酸化膜35は、図27を参照した工程と同様、図24を参照した工程によって得た境界部分222の丸みを破壊しないために、等方性エッチングによって除去される。この等方性エッチングには、二酸化シリコンのエッチング速度が、シリコンのエッチング速度

27

よりも速いエッチャントを用いると良い。さらに、この工程においては、素子分離領域3を構成する二酸化シリコンの表面部分の一部をエッチングする。そして、基板1の表面を素子分離領域3の表面から突出させる。特に丸みを有した境界部分222が素子分離領域3から露出されるように突出させる。なお、素子分離領域3は全て除去せずに、将来、メモリセルどうしを絶縁するために必要な部分は、トレンチ2の内部に残す。

【0167】次いで、図30に示すように、露出した基板1の表面（素子領域4）を酸化し、メモリセルを構成するトランジスタ（および図示せぬ周辺回路を構成するトランジスタ）のトンネル酸化膜として最適な膜厚を持つトンネル酸化膜（ SiO_2 ）5を形成する。トンネル酸化膜5は、データの書き込み／消去の際、トンネル電流が通過する絶縁膜となる。例えばこの実施の形態では、トンネル酸化膜5を、基板1の表面に沿って、ゲート酸化膜35よりも薄く形成し、その膜厚を、電荷の通過を可能にする値に設定する。電荷の通過を可能にする膜厚は、一定のものではなく、周知のように、電界のかかり方によって変化する。

【0168】次いで、図31に示すように、基板1の上方に、シリコンを堆積し、第1層ポリシリコン膜41を形成する。次いで、ポリシリコン膜41に、不純物を注入し、シリコンに導電性を持たせる。この不純物の注入は、必要に応じて行われる。例えばシリコンが、不純物が含有されながら堆積されるようにすれば、不純物の注入の必要はない。

【0169】次いで、図32に示すように、ポリシリコン膜41の上に、ホトレジストを塗布し、塗布されたホトレジストを露光／現像し、図示せぬホトレジストパターンを形成する。図示せぬホトレジストパターンには、将来、制御ゲート（ワード線）に沿って隣接するメモリセルどうしで、浮遊ゲートを分離するためのスリットに対応した開孔が設けられている。次いで、図示せぬホトレジストパターンをマスクに用いて、ポリシリコン膜41をエッチングし、上記制御ゲートに沿って隣接するメモリセルどうしで、浮遊ゲートを分離するためのスリット43を、ポリシリコン膜41に形成する。

【0170】次いで、図33に示すように、ポリシリコン膜41の上に、二酸化シリコン（ SiO_2 ）、窒化シリコン（ Si_3N_4 ）、二酸化シリコン（ SiO_2 ）を順に堆積し、二酸化シリコン／窒化シリコン／二酸化シリコンからなる積層絶縁膜7を形成する。この種の積層絶縁膜7は、一般に、ONO膜と呼ばれるので、以下、積層絶縁膜をONO膜7と称する。ONO膜7は、将来、制御ゲートと浮遊ゲートどうしを絶縁しつつ、制御ゲートを、浮遊ゲートを介して基板1と容量結合させる膜となる。次いで、ONO膜7の上に、シリコンを堆積し、第2層ポリシリコン膜47を形成する。次いで、ポリシリコン膜47に、不純物を注入し、シリコンに導電

28

性を持たせる。この不純物の注入は、必要に応じて行われる。例えばシリコンが、不純物が含有されながら堆積されるようにすれば、不純物の注入の必要はない。次いで、ポリシリコン膜47の上に、ホトレジストを塗布し、塗布されたホトレジストを露光／現像し、図示せぬホトレジストパターンを形成する。図示せぬホトレジストパターンは、制御ゲートおよび選択ゲートパターンに対応した形を有している。次いで、図示せぬホトレジストパターンをマスクに用いて、第2層ポリシリコン膜47、ONO膜7、第1層ポリシリコン膜41を順にエッチングし、図21に示すような平面パターンを有するビット線側（ドレイン側）選択ゲートSG1、ソース側選択ゲートSG2、制御ゲートCG1～CG8（8）、浮遊ゲートFG（6）を形成する。なお、この実施の形態の選択ゲートは、一般に積層型選択ゲートと呼ばれる形を有している。選択ゲートを構成する第1層ポリシリコン膜41、第2層ポリシリコン膜47は、図示せぬ領域において、互いに電氣的に接続され、互いに同電位とされる。

【0171】次に、この発明の第5の実施の形態に係るNAND型EEPROMの製造方法を説明する。

【0172】この第5の実施の形態に係る製造方法は、境界部分222の丸めかたの他の例に関する。よって、第4の実施の形態に係る製造方法と、特に異なっている工程のみを、図面を参照して説明することにする。

【0173】図34～図36は、主要な製造工程の順に示した断面図である。なお、図34～図36は、図21に示す22-22線に沿う断面である。

【0174】まず、図22および図23に示した製造方法に従って、トレンチ2を基板1に形成する。

【0175】次いで、図34に示すように、犠牲酸化膜21をエッチングする。このエッチングは等方性で行い、犠牲酸化膜21を、トレンチ2の側壁から後退させる。この等方性エッチングには、二酸化シリコンのエッチング速度が、シリコンのエッチング速度よりも速いエッチャントが用いられる。

【0176】次いで、図35に示すように、シリコンの平滑化エッチングをかける。境界部分222は、この平滑化エッチングによって、緩やかに丸められる。境界部分222の丸め量、すなわち、曲率半径Rの大きさは、平滑化エッチングの量によって、調節することができる。ここで、平滑化エッチングとは、シリコンの角をとるエッチングのことで、例えば等方性エッチングが用いられる。

【0177】次いで、図36に示すように、トレンチ2の内壁表面を酸化する。この酸化は、例えば酸化温度を1000℃以上とした、一般に高温酸化と呼ばれるプロセスを利用するとともに、酸化雰囲気希釈雰囲気とすると良い。次いで、基板1の上方に二酸化シリコン（ SiO_2 ）を堆積し、シリコン酸化膜33を形成し、トレ

29

ンチ 2 を、酸化膜 3 3 によって埋め込む。

【0178】以下、図 26～図 33 に示した製造方法に従って、図 21 に示すような平面パターンを有する NAND 型 EEPROM を形成する。

【0179】図 37 は、この発明の実施の形態に係るメモリセルを、分解して示した斜視図である。

【0180】図 37 に示すように、上記第 1～第 5 の実施の形態により説明したメモリセルは、シリコン基板 1 の表面に区画されている素子領域 4 が、素子分離領域 3 から突出されている。さらに突出した素子領域 4 と素子分離領域 3 との境界に沿った境界部分 2 2 2 には、トンネル酸化膜 5 が絶縁破壊されない範囲でトンネル電流が集中するように丸められ、曲面とされている。さらに消去特性を劣化させないために、境界部分 2 2 2 間には、平坦部分 2 2 1 が設けられ、曲面と曲面とを平面で繋ぐ。そして、素子領域 4 の表面を、曲面と平面とで構成されるようにする。トンネル酸化膜 5 は、曲面と平面とで構成される素子領域 4 の表面に沿って形成されている。浮遊ゲート 6 は、トンネル酸化膜 5 を介し、曲面と平面とで構成される素子領域 4 の表面に対向するように形成されている。ONO 膜 7 および制御ゲート 8 は順次、浮遊ゲート 6 の表面を覆うように形成されている。

【0181】このような構成を有する上記第 1～第 5 の実施の形態により説明したメモリセルによれば、トンネル酸化膜 5 を、曲面と平面とで構成される素子領域 4 の表面に沿って形成し、浮遊ゲート 6 を、トンネル酸化膜 5 を介し、曲面と平面とで構成される素子領域 4 の表面に対向させることで、トンネル電流を、トンネル酸化膜 5 中に偏在して流すことができる。

【0182】まず、基板 1 側から浮遊ゲート 6 に電子を注入する際には、トンネル電流が、主にトンネル酸化膜 5 の曲面部分に対向した部分を介して流れ、トンネル電流が曲面部分に集中される。トンネル電流が集中する曲面部分では、制御ゲート 8～基板間 1 に印加される書き込み電圧 VPP を、図 38 に示したような従来のメモリセルと同等としたとき、従来のメモリセル以上に強いトンネル電流が流れる。強いトンネル電流が流れることで、書き込み速度を向上できる。また、書き込み速度を、従来のメモリセルと同等としたときには、従来のメモリセル以上に書き込み電圧を低下できる。

【0183】また、浮遊ゲート 6 から基板 1 側に電子を放出する際には、トンネル電流が、主にトンネル酸化膜 5 の平面部分に対向した部分を介して流れる。このため、素子領域 4 に、曲面部分の他に平面部分を、上記したように、ある程度設けておくことで、消去特性の劣化を抑制することができる。

【0184】

【発明の効果】以上、説明したように、この発明によれば、制御ゲート～基板間に印加される書き込み電圧を、従来のメモリセルと同等としたときには、従来のメモリ

30

セル以上に書き込み速度が向上する、および書き込み速度を、従来のメモリセルと同等としたときには、従来のメモリセル以上に書き込み電圧を低下できる不揮発性半導体記憶装置を提供できる。

【図面の簡単な説明】

【図 1】図 1 はこの発明の第 1 の実施の形態に係る NAND 型 EEPROM の平面図。

【図 2】図 2 は断面図で、(A) 図は図 1 中の 2 A-2 A 線に沿う断面図、(B) 図は図 1 中の 2 B-2 B 線に沿う断面図。

【図 3】図 3 は基板～浮遊ゲート間に生ずる電界を示す図で、(A) 図は図 2 (A) に示す基板～浮遊ゲート間に生ずる電気力線を示す図、(B) 図は図 2 (A) に示す基板～浮遊ゲート間のエネルギーバンド図。

【図 4】図 4 は電界 E_{edge} と電界 E_{flat} との比の曲率半径依存性を示す図。

【図 5】図 5 は FN 電流の電界依存性を示す図。

【図 6】図 6 は書き込み時の FN 電流 I_{flat} と FN 電流 I_{edge} との比の曲率半径依存性を示す図。

【図 7】図 7 は FN 電流の電界依存性を示す図。

【図 8】図 8 は消去時の FN 電流 I_{flat} と FN 電流 I_{edge} との比の曲率半径依存性を示す図。

【図 9】図 9 は書き込み時／消去時の FN 電流密度の曲率半径依存性を示す図。

【図 10】図 10 (A)～(F) はそれぞれメモリセルの断面図。

【図 11】図 11 は基板～浮遊ゲート間のエネルギーバンド図。

【図 12】図 12 はメモリセルの断面図で、(A) 図は曲率半径 R が上限のときの断面図、(B) 図は曲率半径 R が下限のときの断面図。

【図 13】この発明の第 2 の実施の形態に係るメモリセルの断面図。

【図 14】この発明の第 3 の実施の形態に係る第 1 のメモリセルの断面図。

【図 15】この発明の第 3 の実施の形態に係る第 2 のメモリセルの断面図。

【図 16】図 16 は NAND 型 EEPROM のメモリセルアレイの回路図。

【図 17】図 17 は NOR 型 EEPROM のメモリセルアレイの回路図で、(A) 図は選択ゲートが無い場合の回路図、(B) 図は選択ゲートが有る場合の回路図。

【図 18】図 18 は他の NOR 型 EEPROM のメモリセルアレイの回路図で、(A) 図はグラウンドアレイ型の回路図、(B) 図は交互グラウンドアレイ型の回路図。

【図 19】図 19 は DINOR (Divided NOR) 型 EEPROM のメモリセルアレイの回路図。

【図 20】図 20 は AND 型 EEPROM のメモリセルアレイの回路図。

【図 21】図 21 はこの発明の第 4 の実施の形態に係る

31

NAND型EEPROMのメモリセルアレイの平面図。

【図22】図22はこの発明の第4の実施の形態に係るメモリセルの一製造工程における断面図。

【図23】図23はこの発明の第4の実施の形態に係るメモリセルの一製造工程における断面図。

【図24】図24はこの発明の第4の実施の形態に係るメモリセルの一製造工程における断面図。

【図25】図25はこの発明の第4の実施の形態に係るメモリセルの一製造工程における断面図。

【図26】図26はこの発明の第4の実施の形態に係るメモリセルの一製造工程における断面図。

【図27】図27はこの発明の第4の実施の形態に係るメモリセルの一製造工程における断面図。

【図28】図28はこの発明の第4の実施の形態に係るメモリセルの一製造工程における断面図。

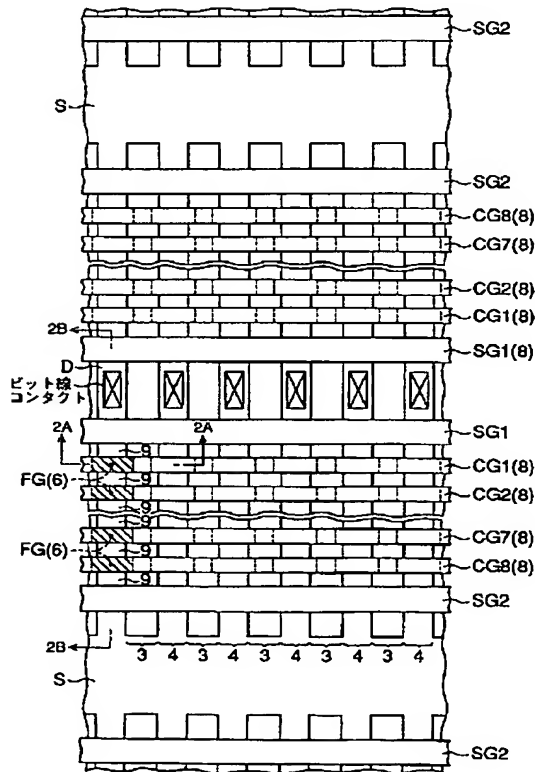
【図29】図29はこの発明の第4の実施の形態に係るメモリセルの一製造工程における断面図。

【図30】図30はこの発明の第4の実施の形態に係るメモリセルの一製造工程における断面図。

【図31】図31はこの発明の第4の実施の形態に係るメモリセルの一製造工程における断面図。

【図32】図32はこの発明の第4の実施の形態に係るメモリセルの一製造工程における断面図。

【図1】



32

*【図33】図33はこの発明の第4の実施の形態に係るメモリセルの一製造工程における断面図。

【図34】図34はこの発明の第5の実施の形態に係るメモリセルの一製造工程における断面図。

【図35】図35はこの発明の第5の実施の形態に係るメモリセルの一製造工程における断面図。

【図36】図36はこの発明の第5の実施の形態に係るメモリセルの一製造工程における断面図。

【図37】図37はこの発明の実施の形態に係るメモリセルを、分解して示した斜視図。

【図38】従来のメモリセルの断面図。

【符号の説明】

1…P型シリコン基板、

2…トレンチ、

3…素子分離領域、

4…素子領域、

5…トンネル酸化膜、

6…浮遊ゲート、

7…ONO膜、

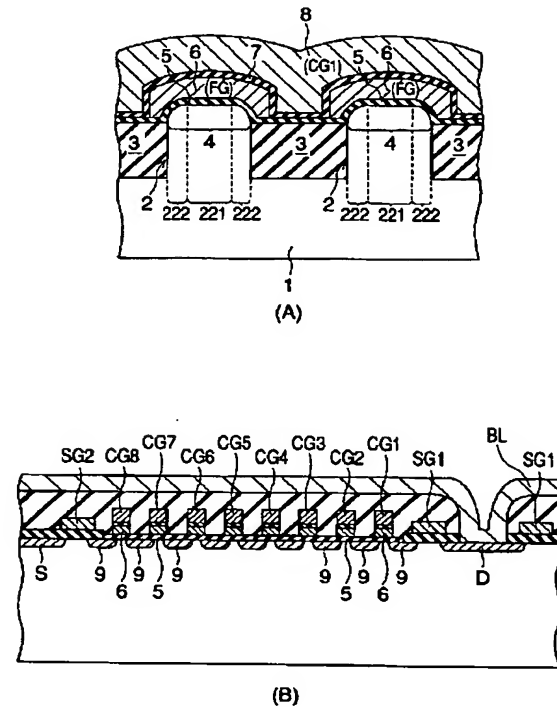
8…制御ゲート、

9…N型拡散層、

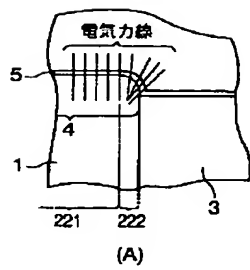
221…平坦部分、

222…境界部分。

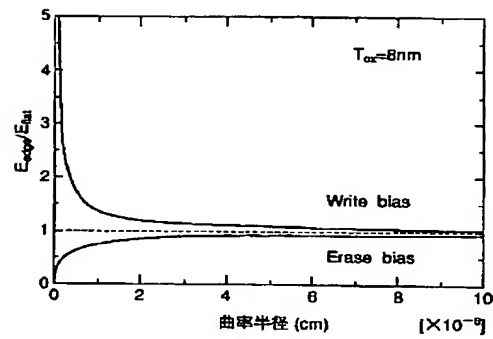
【図2】



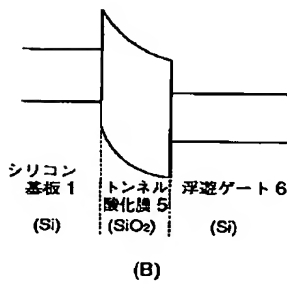
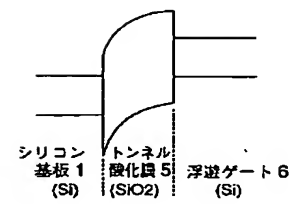
【図3】



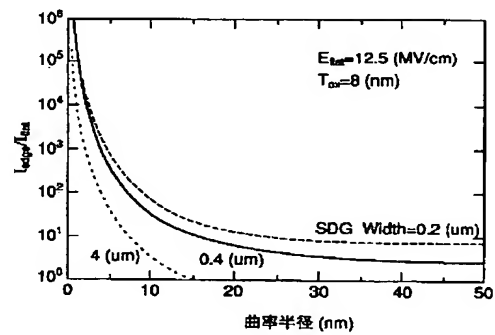
【図4】



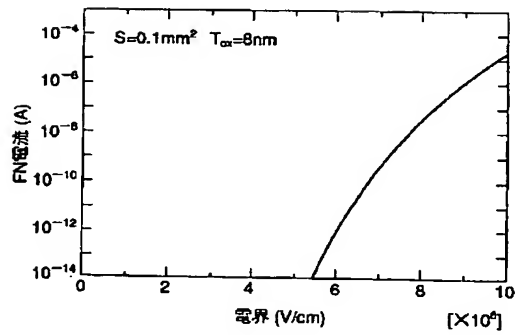
【図11】



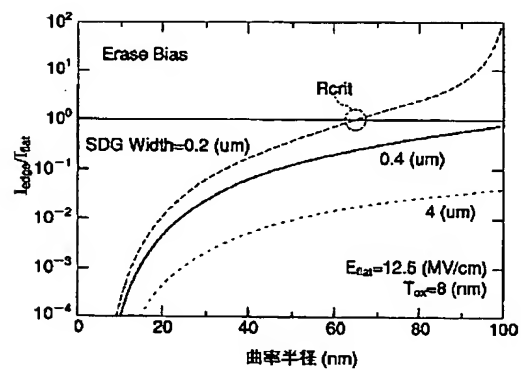
【図6】



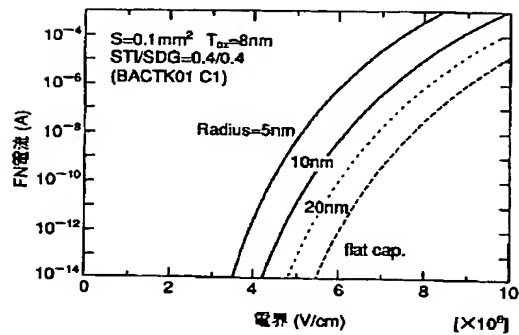
【図5】



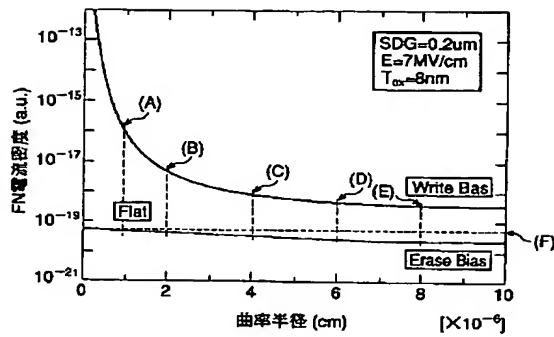
【図8】



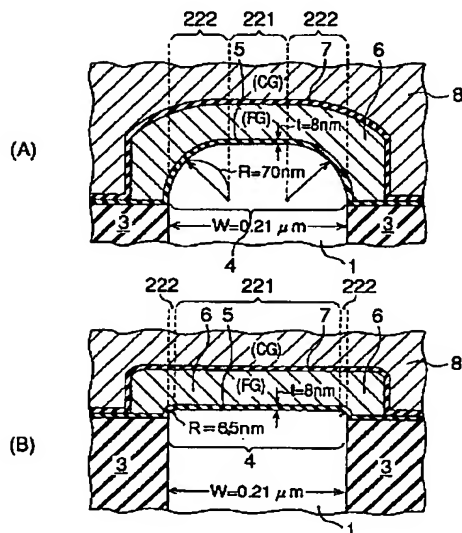
【図7】



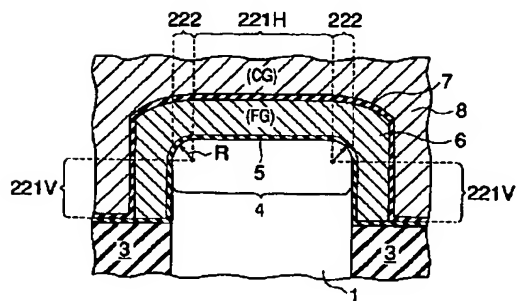
【図 9】



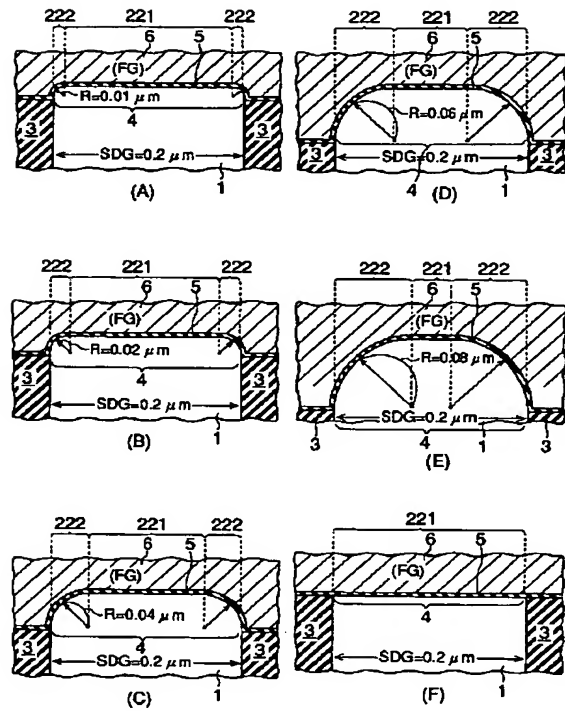
【図 12】



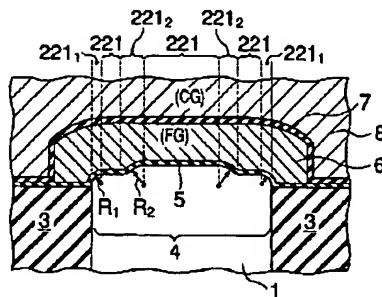
【図 14】



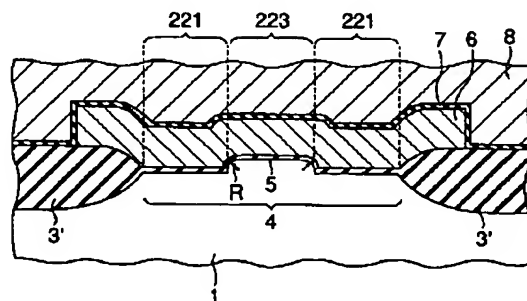
【図 10】



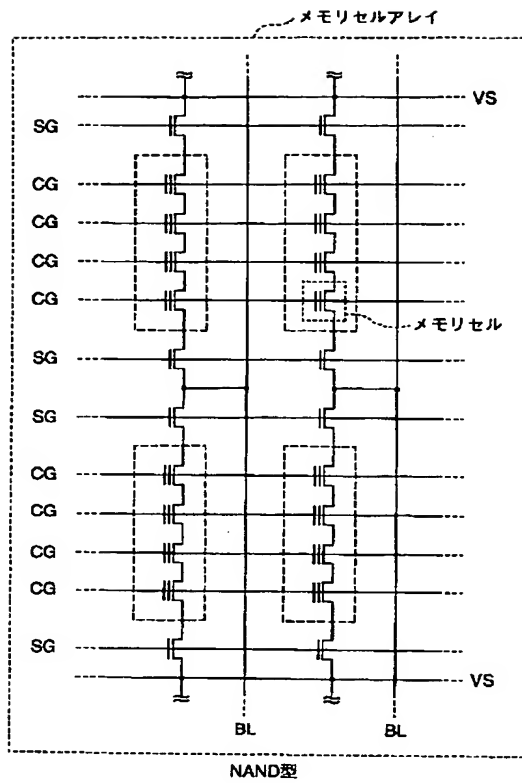
【図 13】



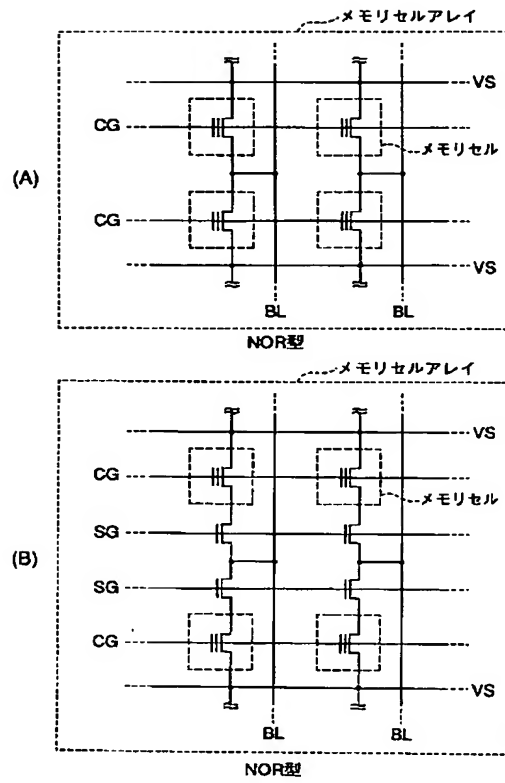
【図 15】



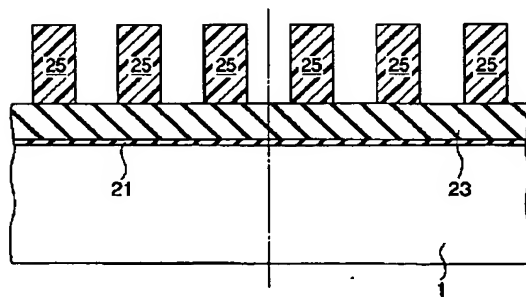
【図16】



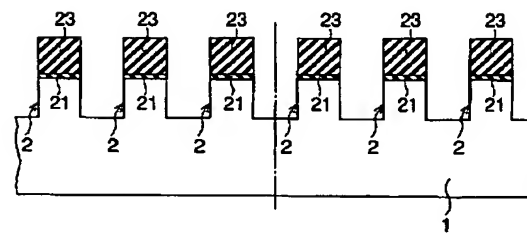
【図17】



【図22】

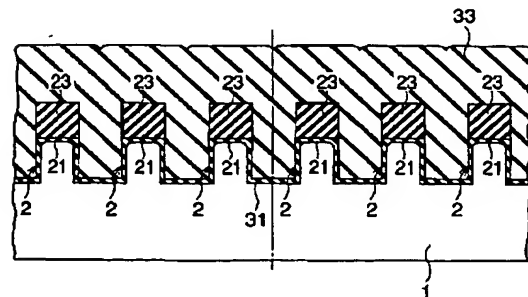
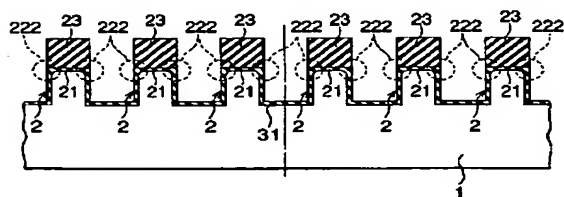


【図23】

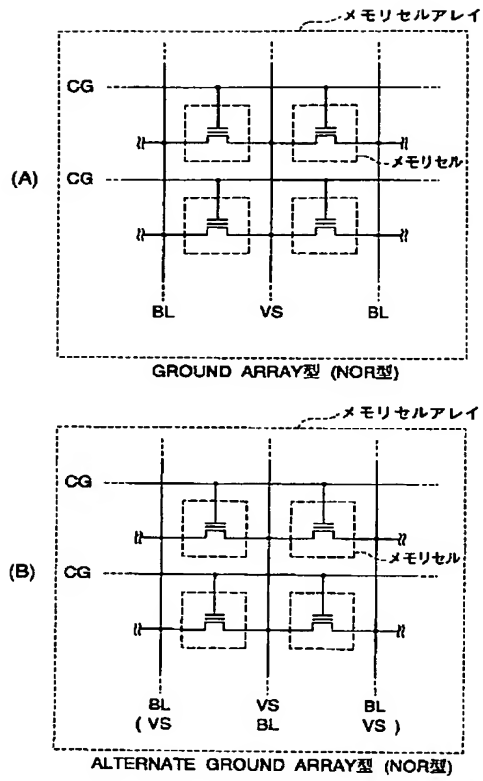


【図25】

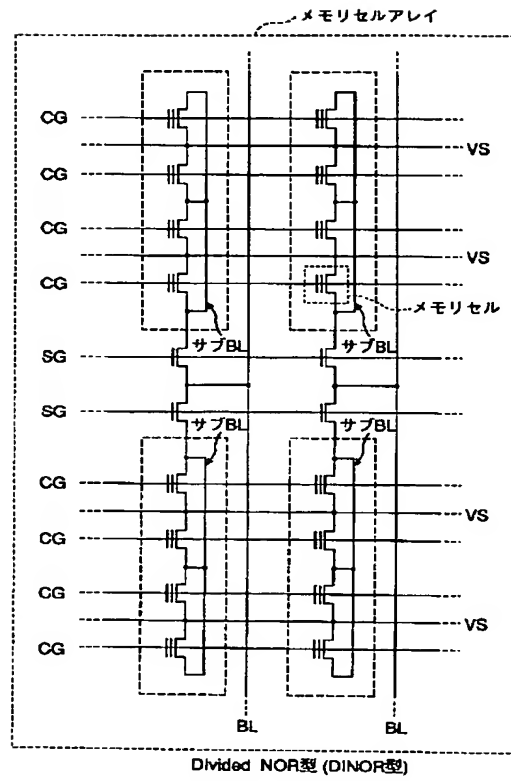
【図24】



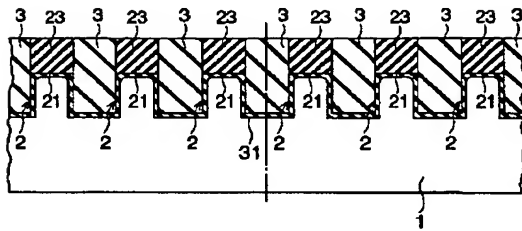
【図 18】



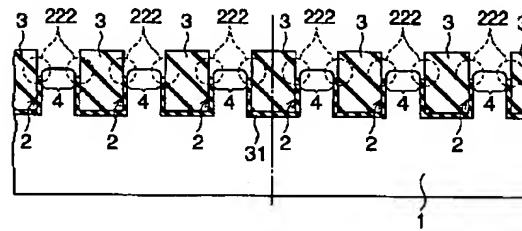
【図 19】



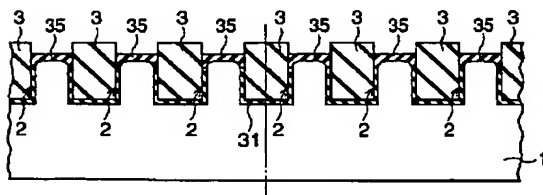
【図 26】



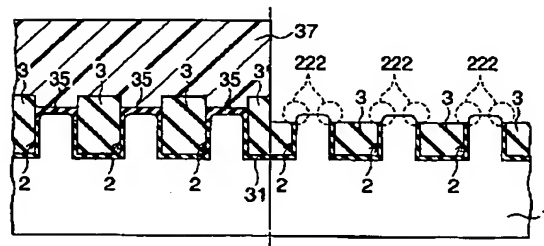
【図 27】



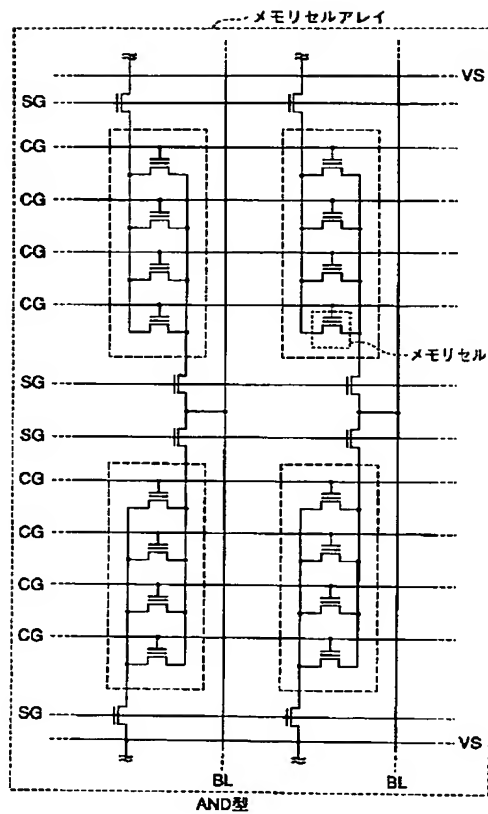
【図 28】



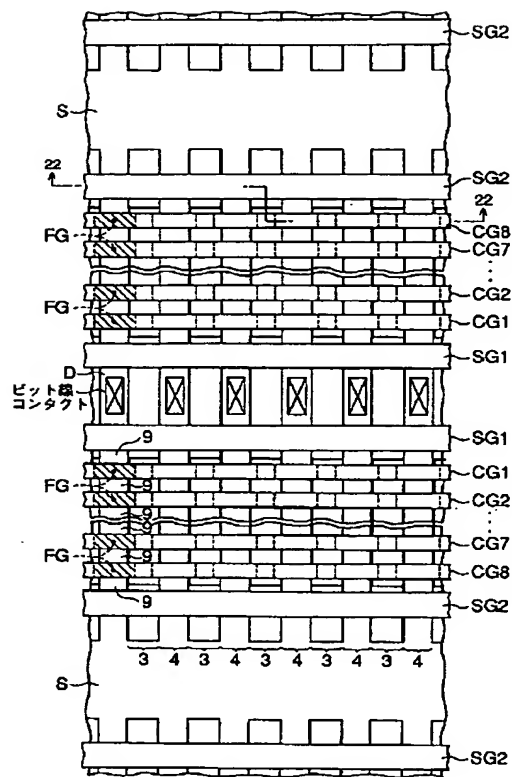
【図 29】



【図 20】

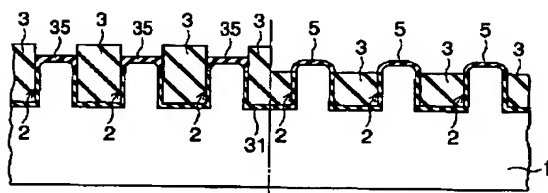


【图 2 1】

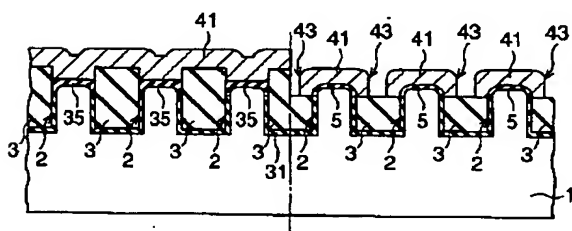


【図 3 1】

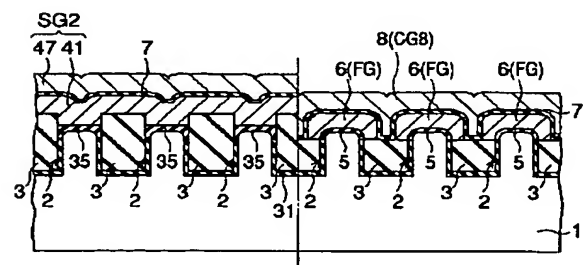
【図 30】



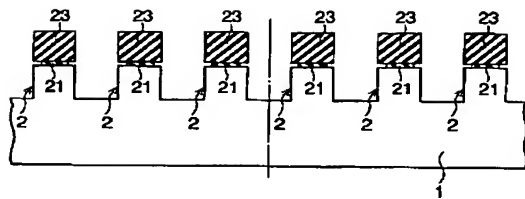
【图 3 2】



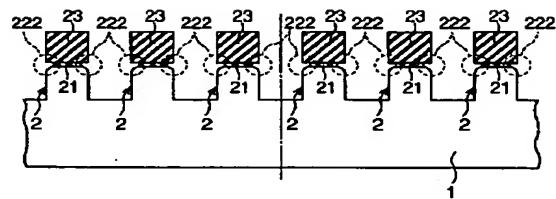
【图 3 3】



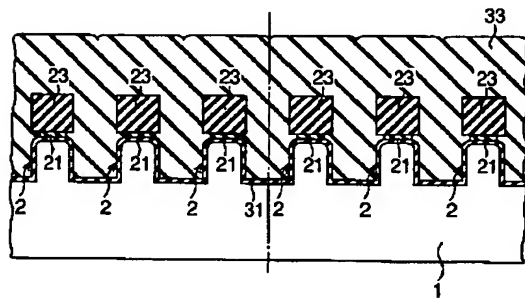
【図34】



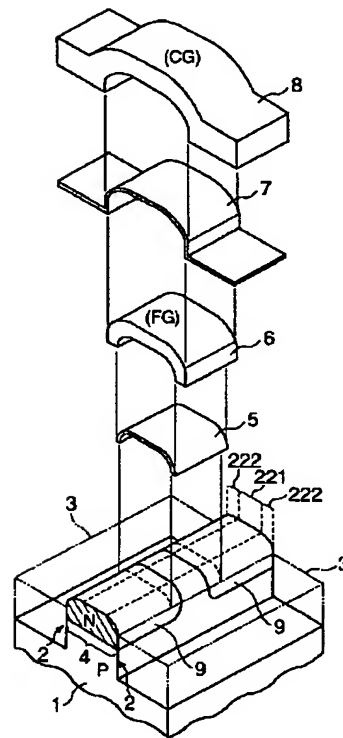
【図35】



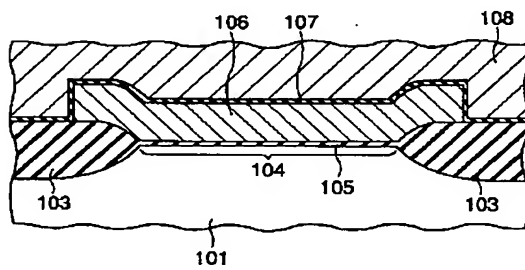
【図36】



【図37】



【図38】



フロントページの続き

(72) 発明者 有留 誠一
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内